

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005123

International filing date: 22 March 2005 (22.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-087013  
Filing date: 24 March 2004 (24.03.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 3 月 2 4 日

出 願 番 号  
Application Number: 特 願 2 0 0 4 - 0 8 7 0 1 3

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

J P 2 0 0 4 - 0 8 7 0 1 3

出 願 人  
Applicant(s): ローム株式会社

2 0 0 5 年 4 月 1 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 PR03-00103  
【提出日】 平成16年 3月24日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H05B 33/26  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 前出 淳  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 阿部 真一  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 藤川 昭夫  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 藤沢 雅憲  
【特許出願人】  
    【識別番号】 000116024  
    【氏名又は名称】 ローム株式会社  
    【代表者】 佐藤 研一郎  
【代理人】  
    【識別番号】 100079555  
    【弁理士】  
    【氏名又は名称】 梶山 侑是  
    【電話番号】 03-5330-4649  
【選任した代理人】  
    【識別番号】 100079957  
    【弁理士】  
    【氏名又は名称】 山本 富士男  
    【電話番号】 03-5330-4649  
【手数料の表示】  
    【予納台帳番号】 061207  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9711313

【書類名】 特許請求の範囲

【請求項 1】

それぞれの出力端子を介して有機 E L パネルの複数のカラムラインあるいは複数のデータ線へそれぞれ駆動電流を出力する複数の電流源を有する I C 化された有機 E L パネルの駆動回路において、

複数の抵抗と複数のスイッチ回路とセレクトとスイッチ走査回路とを備え、

前記複数のスイッチ回路は、それぞれの前記出力端子に一端がそれぞれ接続されかつ他端が共通に接続され、

前記複数の抵抗は所定の電位ラインに一端が接続され、

前記セレクトは、前記複数のスイッチ回路の前記共通に接続された他端を前記複数の抵抗のそれぞれの他端の 1 つに選択的に接続し、

前記スイッチ走査回路は、前記複数のスイッチ回路の 1 つを順次所定のタイミングで選択して O N にし、

前記スイッチ回路と前記セレクトと前記スイッチ走査回路とが前記 I C に内蔵され、各前記出力端子の出力電流を検査するために前記セレクトにより選択された前記複数の抵抗の 1 つにより前記出力電流が電圧値に変換されて前記スイッチ走査回路の走査に応じて前記変換された電圧値が前記 I C の外部に送出される有機 E L パネルの駆動回路。

【請求項 2】

さらに、前記 I C に内蔵され前記変換された電圧値を受けて所定の電圧と比較するコンパレータを有し、前記スイッチ走査回路の走査は、クロックに応じて行われ、前記コンパレータの比較結果が前記電圧値に換えて前記クロックとともに前記 I C の外部に出力され、前記セレクトにより前記複数の抵抗の 1 つから他の 1 つに切換えられて前記コンパレータの比較結果が前記クロックとともに前記 I C の外部に出力される請求項 1 記載の有機 E L パネルの駆動回路。

【請求項 3】

前記コンパレータに換えて A / D 変換回路を有し、変換された前記電圧値が前記 A / D 変換回路によりデジタル値に変換され、前記スイッチ走査回路の走査は、クロックに応じて行われ、前記 A / D 変換回路の変換デジタル値が前記電圧値に換えて前記クロックとともに出力され、前記セレクトにより前記複数の抵抗の 1 つから他の 1 つに切換えられて前記変換デジタル値が前記クロックとともに前記 I C の外部に出力される請求項 1 記載の有機 E L パネルの駆動回路。

【請求項 4】

前記コンパレータが前記 I C の外部に設けられている請求項 2 記載の有機 E L パネルの駆動回路。

【請求項 5】

さらに、前記複数の抵抗の抵抗値は、各前記出力端子に出力される電流値が適正か否かを判定するためにそれぞれが所定の値に選択され、前記スイッチ走査回路はシフトレジスタを有する請求項 2 乃至 4 のうちのいずれか 1 項記載の有機 E L パネルの駆動回路。

【請求項 6】

それぞれの前記抵抗の前記所定の値は、各前記出力端子に出力される電流値が適正である範囲の上限値と下限値にそれぞれ対応している請求項 5 記載の有機 E L パネルの駆動回路。

【請求項 7】

さらに、前記セレクトと前記所定の電圧ラインとの間に設けられた定電圧発生回路を有し、前記所定の電位ラインはグラウンドラインであり、前記セレクトは、定常状態で前記定電圧回路を選択してこれと前記共通に接続された他端とを接続し、前記複数のスイッチ回路は、パッシブマトリックス型有機 E L パネルの有機 E L 素子の端子電圧をリセットするリセットスイッチである請求項 6 項記載の有機 E L パネルの駆動回路。

【請求項 8】

さらに、前記セレクトと前記所定の電圧ラインとの間に設けられた定電圧発生回路を有

し、前記所定の電位ラインはグラウンドラインであり、前記セレクトは、定常状態で前記定電圧回路を選択してこれと前記共通に接続された他端とを接続し、前記複数のスイッチ回路は、アクティブマトリックス型有機ELパネルのピクセル回路のコンデンサの端子電圧をリセットするリセットスイッチである請求項6項記載の有機ELパネルの駆動回路。

【請求項9】

請求項1～8のいずれかの項記載の有機ELパネルの駆動回路を有する有機EL表示装置。

【書類名】 明細書

【発明の名称】 有機E Lパネルの駆動回路および有機E L表示装置

【技術分野】

【0001】

この発明は、有機E Lパネルの駆動回路および有機E L表示装置に関し、詳しくは、電流駆動回路の各出力端子に出力される電流値が適正か否かのテストを行う場合のテスト時間を短縮をすることができるような有機E Lパネルの駆動回路に関する。

【背景技術】

【0002】

携帯電話機、P H S、D V Dプレーヤ、P D A（携帯端末装置）等に搭載される有機E L表示装置の有機E L表示パネルでは、カラムラインの数が396個（132×3）の端子ピン、ローラインが162個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような有機E L表示パネルの電流駆動回路は、アクティブマトリックス型でもパッシブマトリックス型のものでも端子ピン対応にカレントミラー回路等の出力段電流源を備えた電流駆動回路が設けられている。

パッシブマトリックス型では、直接、電流源により有機E L素子（以下O E L素子）が電流駆動され、アクティブマトリックス型では、表示セル（画素）に対応してコンデンサと電流駆動トランジスタとO E L素子とからなるピクセル回路がマトリックス状に設けられ、各ピクセル回路のコンデンサに出力段電流源から駆動電流に対応する電流がコンデンサに流されてコンデンサが充電され、コンデンサに記憶された電圧値に応じて駆動トランジスタが駆動されてO E L素子が電流駆動される。

【0003】

この種の有機E L表示パネルの電流駆動回路の一例として、カラムピン対応にD/A変換回路（以下D/A）を設けたこの出願人の特開2003-234655号の出願が公知である（特許文献1）。これは、カラムピン対応のD/Aが表示データと基準駆動電流とを受けて、基準駆動電流に従って表示データをD/A変換してカラムピン対応にカラム方向の駆動電流あるいはこの駆動電流の元となる電流を生成し、生成した電流によりカレントミラー回路の出力段電流源を駆動する。

【特許文献1】 特開2003-234655号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

前記のような電流駆動回路を搭載したI C（デバイス）は、有機E Lパネルのカラムピンに接続される前に、電流駆動回路のカラムピンに接続される出力端子の出力電流をテストして各出力端子に出力される出力電流値が適正か否かのテスト（検査）が行われる。

4ビット～6ビット程度のD/Aを使用して出力電流源段を駆動し、O E L素子を駆動電流すると、D/Aの電流変換精度が悪いために、カラムピン対応の駆動電流にはらつきを生じ易い。このばらつきは、表示装置の輝度ばらつきや輝度むらとなった現れてくる。

そのため出力電流が所定の仕様範囲に入っているか否かの検査が行われる。この検査は、今のところ、各カラムピンに測定装置を接続して電流計で直接出力電流を測ることで行われる。

しかし、測定装置のプローブを各カラムピンにそれぞれ接触させた時点で、プローブの持つ容量により測定値が安定するまでのセットリングタイムが10 msec程度はかかる。そのため、カラムピン数が増加すると、測定回数も多くなり、デバイス1個の測定に時間がかかる問題がある。

また、出力電流のテストは、表示データの多階調に合わせてそれぞれの階調で検査をすることになるため、1階調当たりの検査時間の長さが検査時間全体に大きな影響を与える。

測定時間を短縮するために各カラムピンに対応する数のプローブを設けた測定装置を開

発して使用することも考えられるが、高価な測定装置となる上に、カラムピンの間隔が0.2mm以下と狭く、その上ピン間ばらつきがあるので適正な測定装置を安価に造りにくい。しかも、今後、カラムピン数は、増加し、カラムピン間隔は減少する傾向にある。

この発明の目的は、このような従来技術の問題点を解決するものであって、各カラムピン（出力端子）に出力される電流値が適正か否かのテストを行う場合のテスト時間を短縮をすることができる有機ELパネルの駆動回路および有機EL表示装置を提供することにある。

#### 【課題を解決するための手段】

##### 【0005】

このような目的を達成するためのこの発明の有機ELパネルの駆動回路および有機EL表示装置の構成は、それぞれの出力端子を介して有機ELパネルの複数のカラムラインあるいは複数のデータ線へそれぞれ駆動電流を出力する複数の電流源を有するIC化された有機ELパネルの駆動回路において、

それぞれの出力端子に一端がそれぞれ接続されかつ他端が共通に接続された複数のスイッチ回路と、

所定の電位ラインに一端が接続された複数の抵抗と、

複数のスイッチ回路の共通に接続された他端を複数の抵抗のそれぞれの他端の1つに選択的に接続するセレクトと、

複数のスイッチ回路の1つを順次所定のタイミングで選択してONにするスイッチ走査回路とを備えていて、

スイッチ回路とセレクトとスイッチ走査回路とがICに内蔵され、各出力端子の出力電流を検査するためにセレクトにより選択された複数の抵抗の1つにより出力電流が電圧値に変換されてスイッチ走査回路の走査に応じて変換された電圧値がICの外部に送出されるものである。

#### 【発明の効果】

##### 【0006】

このように、この発明は、スイッチ走査回路により複数のスイッチ回路を順次走査することで各カラムピン（各出力端子）あるいは各データ線へ出力される出力電流を順次選択し、セレクトにより選択された抵抗により出力電流を電圧値に変換してICの外部へスイッチ走査回路の走査に応じて出力することができる。

これにより測定装置のプロブをカラムピンに接触させる必要はなくなり、IC外部において、出力された電圧値をコンパレータ等で比較することで出力電流の合否を走査タイミングで順次判定することが可能になる。特に、セレクトにより複数の抵抗の1つを他の1つに切換えることにより電流値が仕様範囲にあるか否かの判定が容易にでき、各出力端子の出力電流の測定時間を短縮することができる。

また、コンパレータをICに内蔵するようにすれば、出力電流が適正か否かに関する判定結果をそのまま論理値で出力することができる。

さらに、複数のスイッチ回路としてパッシブマトリックス型のOEL素子のリセットスイッチを利用し、あるいは駆動電流を電圧値で記憶するアクティブマトリックス型の 픽セル回路のコンデンサのリセットスイッチを利用すれば、それぞれの出力端子に一端が接続されたスイッチ回路を特別に設ける必要はなく、簡単な回路で出力電流値のテスト回路を設けることができる。これによりICとしての回路規模の増加を抑えることができる。

その結果、各カラムピン（出力端子）に出力される電流値が適正か否かのテストを所定のタイミングで行うことができ、テスト時間を短縮をすることができる。

#### 【発明を実施するための最良の形態】

##### 【0007】

図1は、この発明の有機ELパネルの駆動回路を適用した一実施例のブロック図である。

図1において、10は、有機ELパネルにおける有機EL駆動回路としてのカラムICドライバ（以下カラムドライバ）である。このカラムドライバ10は、出力端子X1、X2

、… $X_n$ に対応して設けられたD/A 4と出力段電流源5とを有している。出力段電流源5は、トランジスタ $Q_1$ 、 $Q_2$ のカレントミラー回路で構成され、D/A 4により電流駆動されて各出力端子X（出力端子 $X_1$ 、 $X_2$ 、… $X_n$ を代表して以下出力端子Xで説明）に接続されたOEL素子19に駆動電流を出力する。

D/A 4は、カラムピン対応に表示データDATと基準駆動電流 $I_r$ とを受けて、基準駆動電流に従って表示データDATをD/A変換してカラムピン対応に駆動電流を生成して出力段電流源5を駆動する。なお、表示データDATは、MPU11によりレジスタ6にセットされたデータがそれぞれのD/A 4に分配されたものである。

#### 【0008】

各出力端子Xには、それぞれリセットスイッチSWが設けられている。このリセットスイッチSWは、PチャネルMOSトランジスタ $T_p$ で構成され、各トランジスタ $T_p$ のソースは、それぞれ出力端子Xに接続され、各トランジスタ $T_p$ のドレインは、接続ライン13に共通に接続され、この接続ライン13を介してセクタ2の入力とコンパレータ9の入力に接続されている。コンパレータ9の出力は、接続ライン14を介して出力端子14aに接続されている。

1は、テスト回路であって、セクタ2と、シフトレジスタ3、分周回路7、ナンドゲート8、そしてコンパレータ9とからなる。

#### 【0009】

セクタ2は、抵抗 $R_a$ 、抵抗 $R_b$ とツェナーダイオードDZRのいずれかの一方端子を選択するものであって、抵抗 $R_a$ 、抵抗 $R_b$ とツェナーダイオードDZRの他方の端子はグランドGNDに接続されている。

抵抗 $R_a$ 、抵抗 $R_b$ の抵抗値を $R_a$ 、 $R_b$ とすると、 $R_a > R_b$ であり、 $R_a$ と $R_b$ の抵抗値は、各前記出力端子Xに出力される電流値がこれら抵抗の1つに流れたときに、電流値が適正である範囲の上限値の電圧と下限値の電圧をこれら抵抗がそれぞれ発生するように選択されている。ここでは、抵抗 $R_a$ が上限値の電圧を、抵抗 $R_b$ が下限値の電圧を発生する。

シフトレジスタ3は、分周回路7から分周されたクロックCKを受けて入力された1ビットデータをシフトすることで、クロックCKに応じてリセットスイッチSWを順次選択して選択されたスイッチをONにするスイッチ走査回路である。

分周回路7は、コントロール回路12から出力されるクロックCLKを分周してクロックCKを発生し、接続ライン15を介してシフトレジスタ3に分周されたクロックCKを供給し、接続ライン16、出力端子16aを介して外部に分周されたクロックCKを出力する。このクロックCKは、通常の動作クロックCLKよりも低いものであり、コントロール回路12は、このクロックCKを各出力端子Xを走査する数分だけ発生させる。

#### 【0010】

ナンドゲート8は、シフトレジスタ3の各段に対応して設けられていて、シフトレジスタ3の各段の出力がナンドゲート8を介して各トランジスタ $T_p$ のうち対応するトランジスタのゲートにそれぞれ出力される。さらに、各段に対応するそれぞれのナンドゲート8の他方の入力には、コントロール回路12から入力端子17a、接続ライン17を介してリセットコントロールパルスRSが加えられる。

コンパレータ9は、可変電圧発生回路9aを有し、これが発生する基準電圧 $V_{ref}$ を（－）入力に受け、（＋）入力が共通の接続ライン13に接続されている。可変電圧発生回路9aは、MPU11からデータを受けて比較基準電圧 $V_{ref}$ を発生するプログラマブル電圧発生回路であり、これにより発生する比較電圧 $V_{ref}$ は、電流値が適正である範囲の上限値の電圧と下限値の電圧の間の電圧に設定される。それは、通常は、（上限値の電圧＋下限値の電圧）／2の電圧である。そこで、コンパレータ9は、入力電圧がこの比較電圧 $V_{ref}$ より等しいか、高いときに“H”を発生し、低いときに“L”を発生する。なお、可変電圧発生回路9aは、MPU11から設定データを受けて比較電圧 $V_{ref}$ を発生する。

#### 【0011】

MPU11から選択信号SELを受けていないとき、すなわち、選択信号SELが“0



0”のときに、セレクト2は、ツェナーダイオードDZRを選択（図示）していて、ナンドゲート8がリセットコントロールパルスRSをコントロール回路12から入力端子17a、接続ライン17を介して受けて、シフトレジスタ3の各段の出力をそれぞれのトランジスタTpに送出する。そこで、リセットコントロールパルスRSがHIGHレベル（“H”，“H”有意）で、シフトレジスタ3の各段の出力が“H”のときにナンドゲート8に“L”が発生してこれがトランジスタTpのゲートに出力されてトランジスタTpがONになる。それ以外のときにはトランジスタTpはOFFである。

シフトレジスタ3は、電源投入時の初期状態では、分周回路7からのクロックCKを受けてMPU11からオールビット“1”がセットされ、各段に“1”が設定される。そこで、各段の出力が“H”となり、リセットコントロールパルスRSが“H”のリセット期間にナンドゲート8から“L”の信号が各トランジスタTpのゲートに加えられて、各出力端子Xに対して接続ライン13、セレクト2を介して同時にツェナーダイオードDZRの電圧になるようにOEL素子19が定電圧リセットされる。なお、このときにはOEL素子19の陰極側は、ロー側走査によりグランドGNDに接続されている。

#### 【0012】

セレクト2は、MPU11がテストモードに設定されたときに、MPU11から入力端子18a、接続ライン18を介して選択信号SELを受ける。この選択信号SELに応じて抵抗Ra、抵抗Rbのうちの1つを選択する。なお、選択信号SELは、例えば、2ビットの信号であり、“10”，“01”に応じて抵抗Ra、抵抗Rbの順で選択する。選択信号SELが発生しないときには、この信号は“00”である。

MPU11がテストモードに設定されるのは、各出力端子Xに出力される出力電流値が適正か否かのテストが合否判定装置20により行われるときであり、MPU11は、外部から割込み端子に所定の割込み信号を受けてテストモードに入る。

このとき、MPU11は、シフトレジスタ3の初段に“1”をセットする。さらに、外部からの割込み信号に応じてセレクト2に対して抵抗Ra、抵抗Rbのいずれかを選択する選択信号SELを発生する。この選択信号SELは、分周回路7にも加えられて、分周回路7をイネーブルにする。このとき分周回路7は、選択信号SELの2ビットをオアした信号“1”をイネーブル信号として受ける。

#### 【0013】

その結果、MPU11がテストモードに入り、このときに、抵抗Ra、抵抗Rbのうちの1つが選択信号SELの値に応じて選択され、選択された抵抗の抵抗値に応じて出力電流値を変換した電圧がコンパレータ9の（+）入力に加えられ、コンパレータ9は、クロックCKに応じて順次選択される出力端子Xの出力電流に対応する電圧値の比較結果を出力端子14aから合否判定装置20へと送出する。このとき、クロックCKも出力端子16aから合否判定装置20へ送出される。

合否判定装置20は、LED点灯回路21、赤色LED22、そして緑色LED23とからなる。LED点灯回路21は、シフトレジスタと各桁の出力を受けるナンドゲート、オアゲート等からなり、MPU11から選択信号SELを受け、さらにクロックCKを出力端子16aから受けて、クロックCKに同期して、コンパレータ9の出力をシフトレジスタに受けてクロックCKに応じてシフトし、コンパレータ21の“H”、“L”の判定結果を記憶していく。選択信号SELの値が“10”であり、セレクト2が上限値の抵抗Raを選択しているときには、クロックCKを受けているときに“H”が1つでもあればオアゲートが“H”となり、これにより赤色LED22を点灯する。クロックCKを受けているときにすべて“L”のときにはナンドゲートが“H”となり、これにより緑色LED23を点灯する。選択信号SELの値が逆に“01”であり、下限値の抵抗Rbを選択しているときには、それぞれのゲート出力をインバータを介して出力ことで、前記と逆の動作をさせる。すなわち、すべて“H”のときにはナンドゲート、インバータを経て緑色LED23を点灯し、“L”が1つでもあればオアゲート、インバータを経て赤色LED22を点灯する。

#### 【0014】

そこで、MP U 1 1 がテストモードになっているときに、割込み信号により選択信号 S E L の値 “ 1 0 ” を発生させてセレクト 2 に抵抗 R a を選択させて分周回路 7 を動作させて各出力端子 X を走査したときに赤色 L E D 2 2 が点灯せずに緑色 L E D 2 3 が点灯し、次に割込み信号により選択信号 S E L の値 “ 0 1 ” を発生させてセレクト 2 に抵抗 R b を選択させて分周回路 7 を動作させて各出力端子 X を走査したときに赤色 L E D 2 2 が点灯せずに緑色 L E D 2 3 が点灯したときには、各出力端子 X へ出力される出力電流は、設計仕様に適合してカラムドライバ 1 0 は合格 ( G ) となる。一方、各出力端子 X を走査したときに赤色 L E D 2 2 が点灯したときにはカラムドライバ 1 0 は、不合格 ( N G ) となる。

#### 【 0 0 1 5 】

ところで、前記のコンパレータ 9 は、オペアンプ等で構成し、低入力インピーダンスのものとする。コンパレータ 9 のインピーダンスが高いときには、ダミーの電流を流しておいてコンパレータ 9 の入力容量を出力電流で充電しておき、検査に入るとよい。これは、例えば、1 回目の検査をダミー検査として、検査を連続して 2 回行えば可能になる。なお、コンパレータ 9 は、I C 内部ではなく、合否判定装置 2 0 側に設けられていてもよい。この場合、

、I C 内部のコンパレータ 9 は、A / D 変換回路に換えることができる。この A / D 変換回路により各出力端子 X の出力電流に対応する変換電圧値をデジタル値として I C 外部に出力することができる。この場合には、合否判定装置 2 0 側にデジタルコンパレータ等を設けるとよい。

さらに、L E D 点灯回路 2 1、赤色 L E D 2 2、緑色 L E D 2 3 に換えて、合否判定装置 2 0 をメモリと MP U とで構成して、コンパレータ 9 の出力値あるいは前記の A / D 変換回路のデジタル値の出力を一旦メモリに記憶しておき、データ処理により比較判定することで、デバイスの合否判定をしてもよい。この場合には、高速処理が可能であるので、クロック C L K を分周回路 7 で分周する必要はない。

#### 【産業上の利用可能性】

#### 【 0 0 1 6 】

以上説明してきたが、実施例では、出力電流を切換える各スイッチとしてリセットスイッチ S W を利用しているが、この発明は、出力電流値のテストのために別途、各出力端子にスイッチ回路を接続してそれぞれ設けてもよい。

また、実施例では、パッシブマトリックス型の O E L 素子 1 9 の端子電圧をリセットするリセットスイッチ S W を利用して各出力端子 X に出力される出力電流を順次選択してしているが、この O E L 素子 1 9 に換えてアクティブマトリックス型の各ピクセル回路を各データ線を介してそれぞれ接続してもよい。この場合には、前記のリセットスイッチは、ピクセル回路のコンデンサの端子電圧をリセットするリセットスイッチ S W になる。なお、アクティブマトリックス型有機 E L 表示パネルにおけるピクセル回路のコンデンサのリセット電圧は、電源電圧 + V c c なる場合もある。また、パッシブマトリックス型有機 E L 表示パネルにおけるリセット電圧は、グランド電位に場合もある。

実施例では、R、G、B の区別をして説明していなが、この発明は、R、G、B のそれぞれの各カラムラインあるいはデータ線へ電流を出力する各出力端子 X がシフトレジスタ 3 により順次選択されるような構成を採ることができる。R、G、B それぞれにリセットコントロールパルス R S を発生させるときには、シフトレジスタ 3 は、R、G、B に対応して 3 個必要になるが、これら 3 個のシフトレジスタは、接続されて 1 個のシフトレジスタとされ、制御されてもよい。

#### 【図面の簡単な説明】

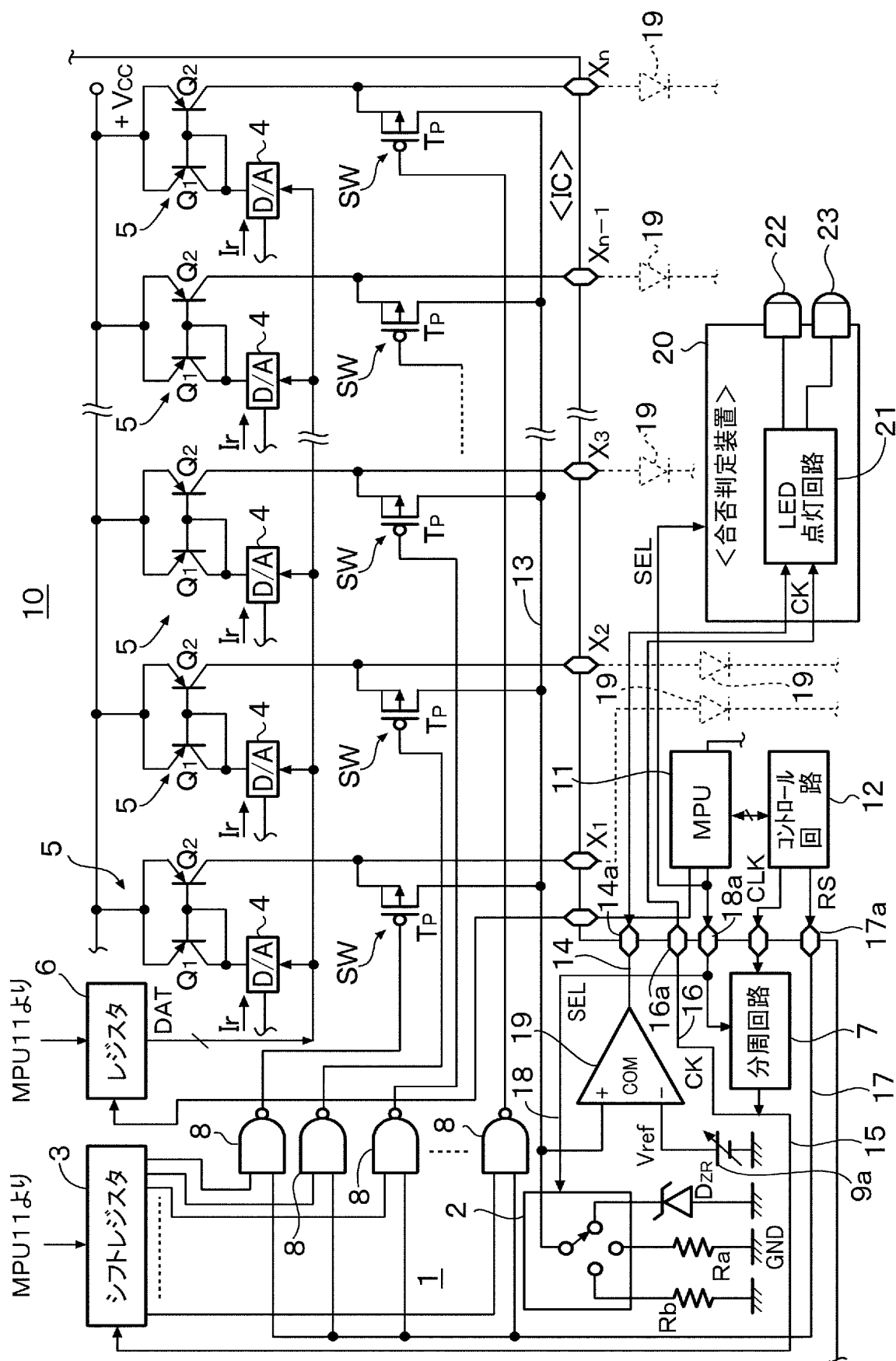
#### 【 0 0 1 7 】

【図 1】 図 1 は、この発明の有機 E L パネルの駆動回路を適用した一実施例のブロック図である。

#### 【符号の説明】

#### 【 0 0 1 8 】

1 … テスト回路、2 … セレクタ、  
3 … シフトレジスタ、4 … D／A変換回路（D／A）、  
5 … 出力段電流源、6 … レジスタ、7 … 分周回路、  
8 … ナンドゲート、9 … コンパレータ、  
10 … カラムICドライバ（カラムドライバ）、  
11 … MPU、12 … コントロール回路、  
13～18 … 接続ライン、19 … 有機EL素子（OEL素子）、  
20 … 合否判定装置、21 … LED点灯回路、  
22 … 赤色LED、23 … 緑色LED。



【書類名】 要約書

【要約】

【課題】

各カラムピン（出力端子）に出力される電流値が適正か否かのテストを行う場合のテスト時間を短縮をすることができる有機ELパネルの駆動回路および有機EL表示装置を提供することにある。

【解決手段】

この発明は、スイッチ走査回路により複数のスイッチ回路を順次走査することで各カラムピン（各出力端子）あるいは各データ線へ出力される出力電流を順次選択し、セレクトにより選択された抵抗により出力電流を電圧値に変換してICの外部へスイッチ走査回路の走査に対応して出力するものである。

【選択図】 図1

## 出願人履歴

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町 2 1 番地  
ローム株式会社